

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re PATENT APPLICATION of :
Yun-Woo LEE et al. :
Serial No.: [NEW] : Mail Stop Patent Application
Filed: January 13, 2004 : Attorney Docket No. SEC.1089
For: INPUT/OUTPUT BUFFER HAVING ANALOG AND DIGITAL INPUT MODES

CLAIM OF PRIORITY

U.S. Patent and Trademark Office
2011 South Clark Place
Customer Window, Mail Stop Patent Application
Crystal Plaza Two, Lobby, Room 1B03
Arlington, VA 22202

Sir:

Applicants, in the above-identified application, hereby claim the priority date under the International Convention of the following Korean application:

Appln. No. 10-2003-0002110 filed January 13, 2003

as acknowledged in the Declaration of the subject application.

A certified copy of said application is being submitted herewith.

Respectfully submitted,

VOLENTINE FRANCOS, PLLC



Adam C. Volentine
Registration No. 33,289

12200 Sunrise Valley Drive, Suite 150
Reston, Virginia 20191
Tel. (703) 715-0870
Fax. (703) 715-0877

Date: January 13, 2004



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2003-0002110
Application Number

출원년월일 : 2003년 01월 13일
Date of Application
JAN 13, 2003

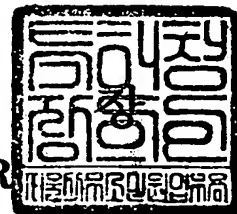
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 06 월 18 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0001
【제출일자】	2003.01.13
【발명의 명칭】	아날로그 /디지털 입력 모드를 제공하는 입출력 버퍼
【발명의 영문명칭】	Input output buffer providing analog/digital input mode
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	임창현
【대리인코드】	9-1998-000386-5
【포괄위임등록번호】	1999-007368-2
【대리인】	
【성명】	권혁수
【대리인코드】	9-1999-000370-4
【포괄위임등록번호】	1999-056971-6
【발명자】	
【성명의 국문표기】	이윤우
【성명의 영문표기】	LEE, YUN WOO
【주민등록번호】	670906-1347511
【우편번호】	427-050
【주소】	경기도 과천시 부림동 41번지 주공아파트 902동 105호
【국적】	KR
【발명자】	
【성명의 국문표기】	허부영
【성명의 영문표기】	HUH, BOO YUNG
【주민등록번호】	590113-1691413
【우편번호】	442-470
【주소】	경기도 수원시 팔달구 영통동 957번지 6호
【국적】	KR

【발명자】**【성명의 국문표기】**

김대규

【성명의 영문표기】

KIM,DAE GYU

【주민등록번호】

651105-1535410

【우편번호】

435-040

【주소】

경기도 군포시 산본동 1072-3번지 201호

【국적】

KR

【심사청구】

청구

【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인

임창현 (인) 대리인

권혁수 (인)

【수수료】**【기본출원료】**

20 면 29,000 원

【가산출원료】

5 면 5,000 원

【우선권주장료】

0 건 0 원

【심사청구료】

13 항 525,000 원

【합계】

559,000 원

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】

【요약】

아날로그/디지털 입력 모드를 제공하는 입출력 버퍼가 개시된다. 본 발명의 입출력 버퍼는 패드와, 제1 저항, 전송 게이트, 슈미터 트리거, 내부 드라이버부, 아날로그/디지털 제어부, 전송 제어부, 제2 저항, 그리고 외부 드라이버부를 포함한다. 전송 게이트는 패드로부터/로 디지털 신호를 전송하고, 아날로그/디지털 제어부는 아날로그/디지털 제어 신호에 응답하여 슈미터 트리거의 출력 레벨을 결정한다. 전송 제어부는 패드와 접지 전압 사이에 연결되고 제1 전원 전압, 제2 전원 전압 그리고 슈미터 트리거의 출력에 응답하여 전송 게이트를 제어한다. 내부 드라이버부는 슈미터 트리거의 출력을 내부 디지털 신호로 발생하고, 제2 저항은 패드로 입력되는 아날로그 신호를 내부 아날로그 신호로 전달한다. 외부 드라이버부는 내부 신호에 응답하여 패드로 디지털 출력 신호를 발생한다. 따라서, 본 발명의 입출력 버퍼는 패드로 입력되는 아날로그 신호 또는 디지털 신호를 내부 아날로그 신호와 내부 디지털 신호로 발생시키고, 내부 신호쌍에 응답하여 패드로 디지털 신호를 출력한다.

【대표도】

도 2

【색인어】

아날로그/디지털 입력 모드, 입출력 버퍼, 일정 전압 허용부

【명세서】**【발명의 명칭】**

아날로그/디지털 입력 모드를 제공하는 입출력 버퍼{Input output buffer providing analog/digital input mode}

【도면의 간단한 설명】

도 1은 본 발명의 제1 실시예에 따른 아날로그/디지털 입출력 회로를 나타내는 도면이다.

도 2는 본 발명의 제2 실시예에 따른 아날로그/디지털 입출력 회로를 나타내는 도면이다.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <3> 본 발명은 반도체 집적 회로에 관한 것으로, 특히 아날로그/디지털 입력 모드를 제공하는 입출력 버퍼에 관한 것이다.
- <4> 다른 산업 발달과 더불어, 반도체 산업 발달은 비용을 절감하면서 반도체 디바이스의 성능을 향상시키고 있다. 반도체 산업은 컴퓨터 등과 같은 데이터 프로세싱 산업과 비디오 게임 등과 같은 주변 응용 산업을 지원한다. 이러한 응용들은 공통적으로 디지털 포맷의 데이터들을 다루고 데이터 처리 기능 또는 데이터 저장 기능 등을 수행한다. 데이터 처리 기능은 로직으로 구현되고, 데이터 저장 기능은 메모리로 구현된다. 이들 기능들은 전형적으로 데이터 처리 기능 또는 데이터 저장 기능을 제공하는 별개의 반도체

디바이스들에 의해 구현되었다. 그런데, 반도체 디바이스의 기능과 성능이 복잡해지고 비용을 줄일려는 노력의 결과로써, 이들 기능들이 하나의 칩으로 구현되기에 이른다.

<5> 게다가, 최근들어 비디오 및 오디오 프로세싱을 포함하는 멀티미디어 응용을 지원하는 반도체 디바이스가 요구됨에 따라, 이러한 프로세싱을 위하여 서로 다른 신호 포맷(즉 아날로그와 디지털)을 지원하는 기능이 추가된다. 이러한 디지털과 아날로그 신호 응용은 아날로그 회로와 디지털 회로가 하나의 칩에 임베디드(embedded)된다. 그리고, 아날로그 회로와 디지털 회로가 혼재하는 믹서드 집적 회로(이하 "믹서드 IC"라고 칭한다)에서 각 신호별로 즉, 아날로그 신호용과 디지털 신호용 따로 따로 별개의 신호 패드를 사용하여 신호 수신 또는 송신한다. 그런데, 이렇게 별개의 신호 패드들을 사용하게 되면, 칩 면적에 비하여 상대적으로 패드 수가 많아져서 칩 면적을 크게 하는 단점이 생길 수 있다.

<6> 그러므로, 믹서드 IC에서 아날로그 신호와 디지털 신호를 입력할 수 있는 입출력 버퍼가 요구된다.

【발명이 이루고자 하는 기술적 과제】

<7> 본 발명의 목적은 아날로그/디지털 입력 모드를 제공하는 입출력 버퍼를 제공하는 데 있다.

【발명의 구성 및 작용】

<8> 상기 목적을 달성하기 위하여, 본 발명의 일실시예에 따른 입출력 버퍼는 패드와, 패드로부터/로 디지털 신호를 전달하는 제1 저항과, 제1 저항과 연결되고 패

드로부터/로 디지털 신호를 전송하는 전송 게이트와, 패드로 입력되는 디지털 신호의 트리거 레벨을 변화시켜 고속 스위칭하는 슈미터 트리거와, 슈미터 트리거의 출력을 내부 디지털 신호로 발생하는 내부 드라이버와, 아날로그/디지털 제어 신호에 응답하여 슈미터 트리거의 출력 레벨을 결정하는 아날로그/디지털 제어부와, 패드와 접지 전압 사이에 연결되고 제1 전원 전압, 제2 전원 전압 그리고 슈미터 트리거의 출력에 응답하여 전송 게이트를 제어하는 전송 제어부와, 패드로 입력되는 아날로그 신호를 내부 아날로그 신호로 전달하는 제2 저항과, 그리고 내부 신호에 응답하여 패드로 디지털 출력 신호를 발생하는 외부 드라이버부를 포함한다.

<9> 바람직하기로, 입출력 버퍼는 패드와 연결되는 일정 전압 허용부를 더 구비하고, 일정 전압 허용부는 제2 전원 전압과 접지 전압 사이에 직렬 연결되는 제1 및 제2 피모스 트랜지스터를 포함하고, 제1 피모스 트랜지스터의 게이트는 패드와 연결되고, 제2 피모스 트랜지스터의 게이트는 제2 전원 전압에 연결되고, 제1 및 제2 피모스 트랜지스터의 연결점은 웰 바이어스 전압으로 발생된다. 전송 제어부는 패드에 그 소스가 연결되고 그 게이트에 제1 전원 전압이 연결되고 웰 바이어스 전압이 웰 바이어스로 연결되는 제1 피모스 트랜지스터와, 제1 피모스 트랜지스터의 드레인에 그 드레인이 연결되고 그 게이트에 제2 전원 전압이 연결되는 제1 엔모스 트랜지스터와, 그리고 제1 엔모스 트랜지스터의 소스에 그 드레인이 연결되고 그 소스에 접지 전압이 연결되고 그 게이트에 슈미터 트리거 출력이 연결되는 제2 엔모스 트랜지스터를 포함한다.

<10> 전송 게이트는 제2 저항과 슈미터 트리거 사이에 연결되고 제2 전원 전압에 게이팅되는 엔모스 트랜지스터와, 그리고 제2 저항과 슈미터 트리거 사이에 연결되고 제1 피모스 트랜지스터의 드레인에 게이팅되고 웰 바이어스 전압이 웰 바이어스로 연결되는 피모

스 트랜지스터를 포함한다. 외부 드라이버부는 제2 전원 전압과 접지 전압 사이에 직렬 연결되는 피모스 트랜지스터와 엔모스 트랜지스터를 구비하고, 그 게이트들이 내부 신호와 상보 내부 신호에 각각 연결되고, 그 드레인들이 전송 게이트와 슈미터 트리거 사이에 연결된다. 아날로그/디지털 제어부는 아날로그/디지털 제어 신호를 입력하는 인버터와, 그리고 제2 전원 전압과 슈미터 트리거 출력 사이에 연결되고 인버터의 출력에 게이팅되는 피모스 트랜지스터를 포함한다.

<11> 상기 목적을 달성하기 위하여, 본 발명의 제2 실시예에 따른 입출력 버퍼는 패드와, 패드로부터/로 디지털 신호를 전달하는 제1 저항과, 제1 저항과 연결되고 패드로부터/로 디지털 신호를 전송하는 제1 전송 게이트와, 패드로 입력되는 디지털 신호의 트리거 레벨을 변화시켜 고속 스위칭하는 슈미터 트리거와, 슈미터 트리거의 출력을 내부 디지털 신호로 발생하는 내부 드라이버와, 아날로그/디지털 제어 신호에 응답하여 슈미터 트리거의 출력 레벨을 결정하는 아날로그/디지털 제어부와, 패드와 접지 전압 사이에 연결되고 제1 전원 전압, 제2 전원 전압 그리고 아날로그/디지털 제어부의 출력들에 응답하여 전송 게이트를 제어하는 전송 제어부와, 패드로 입력되는 아날로그 신호를 전달하는 제2 저항과, 아날로그 신호를 내부 아날로그 신호로 전송하는 제2 전송 게이트와, 그리고 내부 신호에 응답하여 패드로 디지털 출력 신호를 발생하는 외부 드라이버부를 포함한다.

<12> 바람직하기로, 입출력 버퍼는 패드와 연결되는 일정 전압 허용부를 더 구비하고, 일정 전압 허용부는 제2 전원 전압과 접지 전압 사이에 직렬 연결되는 제1 및 제2 피모스 트랜지스터를 포함하고, 제1 피모스 트랜지스터의 게이트는 패드와 연결되고 제2 피

모스 트랜지스터의 게이트는 제2 전원 전압에 연결되고 제1 및 제2 피모스 트랜지스터의 연결점이 웰 바이어스 전압으로 발생된다.

<13> 아날로그/디지털 제어부는 아날로그/디지털 제어 신호를 입력하는 제1 인버터와, 제2 전원 전압과 슈미터 트리거 출력 사이에 연결되고 제1 인버터의 출력에 게이팅되는 제1 피모스 트랜지스터와, 제1 인버터의 출력을 입력하여 아날로그/디지털 제어부의 제1 출력을 출력하는 제2 인버터와, 제1 인버터의 출력을 레벨 쉬프트시키는 레벨 쉬프터와, 제1 전원 전압에 그 소스가 연결되고 제2 인버터의 출력에 그 게이트가 연결되는 제2 피모스 트랜지스터와, 그리고 제2 전원 전압에 그 소스가 연결되고 아날로그/디지털 제어부의 제2 출력인 제2 피모스 트랜지스터의 드레인에 그 드레인이 연결되고 레벨 쉬프터 출력에 그 게이트가 연결되는 제3 피모스 트랜지스터를 포함한다. 전송 제어부는 패드에 그 소스가 연결되고 아날로그/디지털 제어부의 제2 출력이 그 게이트에 연결되고 웰 바이어스 전압이 웰 바이어스로 연결되는 제1 피모스 트랜지스터와, 제1 피모스 트랜지스터의 드레인에 그 드레인이 연결되고 그 게이트에 제2 전원 전압이 연결되는 제1 엔모스 트랜지스터와, 그리고 제1 엔모스 트랜지스터의 소스에 그 드레인이 연결되고 그 소스에 접지 전압이 연결되고 그 게이트에 아날로그/디지털 제어부의 제2 출력이 연결되는 제2 엔모스 트랜지스터를 포함한다.

<14> 제1 전송 게이트는 제1 저항과 상기 슈미터 트리거 사이에 연결되고 제2 전원 전압에 게이팅되는 엔모스 트랜지스터와, 그리고 제1 저항과 슈미터 트리거 사이에 연결되고 전송 제어부의 제1 피모스 트랜지스터 드레인에 게이팅되고 웰 바이어스 전압이 웰 바이어스로 연결되는 피모스 트랜지스터를 포함한다. 제2 전송 게이트는 제2 저항과 내부 아날로그 신호 노드 사이에 연결되고 제2 전원 전압에 게이팅되는 엔모스 트랜지스터와,

그리고 제2 저항과 내부 아날로그 신호 노드 사이에 연결되고 전송 제어부의 제1 피모스 트랜지스터 드레인에 게이팅되고 웰 바이어스 전압이 웰 바이어스로 연결되는 피모스 트랜지스터를 포함한다. 외부 드라이버부는 제2 전원 전압과 접지 전압 사이에 직렬 연결되는 피모스 트랜지스터와 엔모스 트랜지스터를 구비하고, 그 게이트들이 내부 신호와 상보 내부 신호에 각각 연결되고, 그 드레인들이 전송 게이트와 슈미터 트리거 사이에 연결된다.

<15> 따라서, 본 발명의 입출력 버퍼는 패드로 입력되는 아날로그 신호 또는 디지털 신호를 내부 아날로그 신호와 내부 디지털 신호로 발생시키고, 내부 신호쌍에 응답하여 패드로 디지털 신호를 출력한다.

<16> 이하, 본 발명의 바람직한 실시예의 상세한 설명이 첨부된 도면들을 참조하여 설명될 것이다. 도면들 중 참조부호들 및 동일한 구성요소들에 대해서는 비록 다른 도면상에 표시되더라도 가능한 동일한 참조번호들 및 부호들로 나타내고 있음은 명백하다. 본 명세서에서는 설명의 편의를 위하여, 제1 전원 전압(VDD1)은 1.8V 정도로, 그리고 제2 전원 전압(VDD2)은 3.3V 정도로 설정되는 예에 대하여 기술한다.

<17> 도 1은 본 발명의 제1 실시예에 따른 입출력 버퍼를 나타내는 도면이다. 이를 참조하면, 입출력 버퍼(100)는 패드(101), 제1 저항(102), 전송 게이트(104), 슈미터 트리거(schumitter trigger, 108), 내부 드라이버부(inner driver, 110), 전송 제어부(111), 일정 전압 허용부(tolerant)(120), 외부 드라이버부(outer driver, 130), 아날로그/디지털 제어부(140), 그리고 제2 저항(150)을 포함한다. 패드(101)는 아날로그 또는 디지털 입력 신호를 수신하고 디지털 출력 신호를 송신한다. 제1 저항(102)은 패드(101)

와 전송 게이트(104) 사이에 연결되고, 패드(101)로부터 입력되는 정전기 전압의 내부 회로로 전달되는 것을 차단하는 일종의 보호 회로이다.

<18> 전송 게이트(104)는 제2 전원 전압(VDD2)에 게이팅되는 엔모스 트랜지스터(105)와 이후에 설명될 노드 NC에 게이팅되는 피모스 트랜지스터(106)로 구성된다. 피모스 트랜지스터(106)의 웰 바이어스 전압(VFW)은 이후에 설명될 일정 전압 허용부(120)에서 제공된다. 슈미터 트리거(108)은 전송 게이트(104)를 통해 전달되는 입력 신호의 트리거 레벨을 변화시켜 고속 스위칭토록 한다. 내부 드라이버(110)는 슈미터 트리거(108)의 출력에 따라 내부 디지털 신호(DY)를 발생시켜 내부 디지털 회로 블록(미도시)을 구동한다.

<19> 전송 제어부(111)는 패드(101)와 접지 전압(VSS) 사이에 제1 피모스 트랜지스터(112)와 제1 및 제2 엔모스 트랜지스터(114, 116)가 직렬로 연결된다. 제1 피모스 트랜지스터(112)의 게이트는 제1 전원 전압(VDD1)에 연결되고 N 웰은 웰 바이어스 전압(VFW)에 연결된다. 제1 엔모스 트랜지스터(114)의 게이트는 제2 전원 전압(VDD2)에 연결되고, 제2 엔모스 트랜지스터(116)의 게이트는 노드 NB에 연결된다. 노드 NB는 슈미터 트리거(108)의 출력 노드이다. 제1 피모스 트랜지스터(112)와 제1 엔모스 트랜지스터(114) 사이의 노드 NC는 전송 게이트(104)의 피모스 트랜지스터(106)의 게이트에 연결된다.

<20> 일정 전압 허용부(120)는 제2 전원 전압(VDD2)과 패드(101) 사이에 직렬 연결되는 제2 및 제3 피모스 트랜지스터(122, 124)로 구성된다. 제2 피모스 트랜지스터(122)의 게이트는 패드(101)와 연결되고, 제3 피모스 트랜지스터(124)의 게이트는 제2 전원 전압(VDD2)에 연결된다. 제2 피모스 트랜지스터(122)와 제3 피모스 트랜지스터(124)가 연결된 노드의 전압이 웰 바이어스 전압(VFW)이 된다.

- <21> 외부 드라이버부(130)는 제2 전원 전압(VDD2)과 접지 전압(VSS) 사이에 내부 신호 쌍(PUE, PUEB)에 게이팅되는 피모스 트랜지스터(132)와 엔모스 트랜지스터(134)를 포함하는 인버터로 구성된다. 디지털 출력 모드시, 내부 신호(PUE, PUEB)는 외부 드라이버부(130)와 전송 게이트(104), 그리고 제1 저항(102)을 통하여 패드(101)로 출력된다.
- <22> 아날로그/디지털 제어부(140)는 아날로그/디지털 제어 신호(SPUENB)에 응답하여 노드 NB의 전압 레벨을 결정한다. 제어부(140)는 아날로그/디지털 제어 신호(SPUENB)를 입력하는 인버터(142)와, 제2 전원 전압(VDD2)과 노드 NB 사이에 인버터(142) 출력에 게이팅되는 피모스 트랜지스터(144)를 포함한다. 아날로그/디지털 제어 신호(SPUENB)는 로직 로우레벨일 때 디지털 모드임을, 그리고 로직 하이레벨일 때 아날로그 모드임을 나타낸다. 제2 저항(160)은 아날로그 입력 모드 시, 패드(101)로 입력되는 아날로그 신호를 내부 아날로그 회로 블락(미도시)으로 전달한다. 제2 저항(160)도 제1 저항(102)과 마찬가지로 보호 회로의 역할을 한다.
- <23> 본 실시예의 입출력 버퍼(100)는 다음과 같이 동작된다.
- <24> 첫번째로, 아날로그 입력 모드시, 아날로그/디지털 제어 신호(SPUENB)의 로직 하이레벨에 응답하여 인버터(142)의 출력이 로직 로우레벨이 되고 노드 NB는 제2 전원 전압(VDD2) 레벨의 로직 하이레벨로 셋팅된다. 내부 디지털 신호(DY)는 로직 로우레벨로 출력된다. 이는 내부 디지털 회로 블락(미도시)을 구동하지 않는다는 것을 의미한다. 이때, 로직 하이레벨의 노드 NB에 응답하여 노드 NC가 접지 전압(VSS)의 로직 로우레벨이 되고 전송 게이트가 온(on) 되어, 패드(101)로 입력되는 신호가 제1 저항(102)과 전송 게이트(104)를 통해 노드 NA와 노드 NB로 전달되지만, 노드 NB가 이미 로직 하이레벨로

셋팅되었기 때문에, 패드(101)로 입력되는 신호는 내부 디지털 신호(DY)로 전달되지 못한다. 그러므로, 패드(101)로 입력되는 신호는 제2 저항(150)을 통해 내부 아날로그 신호(AY)로 발생된다. 내부 아날로그 신호(AY)는 내부 아날로그 회로 블락(미도시)를 구동시켜서 칩 내부의 아날로그 동작이 수행된다.

<25> 두번째로, 디지털 입력 모드 시, 아날로그/디지털 제어 신호(SPUENB)의 로직 로우레벨에 응답하여 제어부(140)의 피모스 트랜지스터(144)가 턴오프된다. 패드(101)로 입력되는 신호는 제1 저항(102), 전송 게이트(104), 슈미터 트리거(108), 그리고 드라이버부(110)를 통하여 내부 디지털 신호(DY)로 발생된다. 패드(101)로 입력되는 신호가 로직 로우레벨이면, 노드 NB는 로직 하이레벨로, 그리고 내부 디지털 신호(DY)는 로직 로우레벨로 발생된다. 패드(101)로 입력되는 신호가 로직 하이레벨이면, 노드 NB는 로직 로우레벨로, 그리고 내부 디지털 신호(DY)는 로직 하이레벨로 발생된다. 내부 디지털 신호(DY)는 내부 디지털 회로 블락(미도시)을 구동시켜서 칩 내부의 디지털 동작이 수행된다.

<26> 한편, 패드로 입력되는 신호가 제2 전원 전압(VDD2) 이상의 전압 레벨, 예컨대 5V 정도로 입력되면, 일정 전압 허용부(120)의 제3 피모스 트랜지스터(124)가 턴온되어 웰 바이어스 전압(VFW)은 5V로 잡힌다. 그리고, 전송 제어부(111)의 제1 피모스 트랜지스터(112)가 턴온되어 노드 NC는 거의 5V로 잡힌다. 이에 따라 전송 게이트(104)의 피모스 트랜지스터(106)가 턴오프되고, 패드(101)로 입력되는 5V 전압 레벨의 신호는 엔모스 트랜지스터(105)를 통하여 내부 디지털 신호(DY)로 전달되는 데, 노드 NA는 제2 전원 전압(VDD2)에서 엔모스 트랜지스터(105) 문턱 전압(V_{th}) 만큼 강하된 전압, 즉 $3.3V - V_{th}$ 전압 레벨로 잡힌다. 이는 제2 전원 전압(VDD2) 이상의 레벨이 패드(101)로 입력되면

제2 전원 전압(VDD2) 레벨 정도로 강하시켜 내부 회로 블락으로의 전달을 차단하기 위함이다. 그리하여 내부 회로의 트랜지스터들을 고전압 스트레스로부터 보호한다.

<27> 세번째로, 디지털 출력 모드 시, 내부 신호쌍(PUE, PUEB)에 응답하여 결정되는 노드 NA의 로직 레벨이 전송 게이트(104)와 제1 저항(102)을 통하여 패드(101)로 전달된다.

<28> 따라서, 본 실시예의 입출력 버퍼(100)는 패드(101)로 입력되는 아날로그 신호 또는 디지털 신호를 내부 아날로그 신호(AY)와 내부 디지털 신호(DY)로 발생시키고, 내부 신호쌍(PUE, PUEB)에 응답하여 패드(101)로 디지털 신호를 출력한다.

<29> 도 2는 본 발명의 제2 실시예에 따른 입출력 버퍼를 나타내는 도면이다. 이를 참조하면, 입출력 버퍼(200)는 패드(101), 제1 저항(102), 제1 전송 게이트(104), 슈미터 트리거(108), 내부 드라이버부(110), 일정 전압 허용부(120), 외부 드라이버부(130), 제2 저항(150), 제2 전송 게이트(210), 아날로그/디지털 제어부(220), 그리고 전송 제어부(240)를 포함한다. 패드(101), 제1 저항(102), 제1 전송 게이트(104), 슈미터 트리거(108), 내부 드라이버부(110), 일정 전압 허용부(120), 외부 드라이버부(130), 그리고 제2 저항(150)은 도 1의 입출력 버퍼(100)의 그것과 동일하기 때문에, 설명의 중복을 피하기 위하여 구체적인 설명은 생략된다.

<30> 제2 전송 게이트(210)는 제2 전원 전압(VDD2)에 응답하는 엔모스 트랜지스터(212)와 이후에 설명될 노드 NH의 전압 레벨에 응답하는 피모스 트랜지스터(214)를 포함한다. 패드(101)로 입력되는 아날로그 입력 신호는 제2 저항(150)과 제2 전송 게이트(210)를 통하여 내부 아날로그 신호(AY)로 발생된다.

- <31> 아날로그/디지털 제어부(220)는 제1 및 제2 인버터들(222, 226), 제1 내지 제3 피모스 트랜지스터들(224, 230, 232), 그리고 레벨 쉬프터(228)를 포함한다. 제1 인버터(222)는 아날로그/디지털 제어 신호(SPUENB)를 수신하여 노드 ND로 출력한다. 제1 피모스 트랜지스터(224)는 노드 ND의 전압 레벨에 게이팅되어 노드 NB의 레벨을 결정한다. 제2 인버터(226)는 노드 ND와 노드 NE 사이에 연결되고, 레벨 쉬프터(228)은 노드 ND와 노드 NF 사이에 연결된다. 레벨 쉬프터(228)는 0V 에서 제1 전원 전압(VDD1) 레벨로 입력되는 아날로그/디지털 제어 신호(SPUENB)의 스윙(swing) 폭을 0V 에서 제2 전원 전압(VDD2) 레벨로 전환시킨다. 제2 피모스 트랜지스터(230)는 노드 NE의 전압 레벨에 게이팅되고 제3 피모스 트랜지스터(232)는 노드 NF의 전압 레벨에 게이팅되어 노드 NG의 레벨을 결정한다.
- <32> 전송 제어부(240)는 패드(101)와 접지 전압(VSS) 사이에 직렬 연결되는 제1 피모스 트랜지스터(242)와 제1 및 제2 엔모스 트랜지스터(244, 246)를 포함한다. 제1 피모스 트랜지스터(242)는 노드 NG의 전압 레벨에 게이팅되고, 제1 엔모스 트랜지스터(244)는 제2 전원 전압(VDD2)에 게이팅되고, 제2 엔모스 트랜지스터(246)는 노드 NE의 전압 레벨에 게이팅된다. 제1 피모스 트랜지스터(242)와 제1 엔모스 트랜지스터(244) 사이의 노드 NH는 제1 전송 게이트(104)의 피모스 트랜지스터(106) 게이트와 제2 전송 게이트(210)의 피모스 트랜지스터(214) 게이트에 연결된다. 피모스 트랜지스터들(106, 214)의 웰(well)은 웰 바이어스 전압(VFW)에 연결된다.
- <33> 본 실시예의 입출력 버퍼(200)는 다음과 같이 동작된다.
- <34> 아날로그 입력 모드 시, 아날로그/디지털 제어 신호(SPUENB)의 로직 하이레벨에 응답하여 노드 ND가 로직 로우레벨이 되어, 피모스 트랜지스터(224)를 턴온시키고 노드 NB

는 제2 전원 전압(VDD2) 레벨의 로직 하이레벨이 된다. 로직 하이레벨의 노드 NB에 응답하여 내부 디지털 신호(DY)는 로직 로우레벨이 되어 내부 디지털 회로 블록(미도시)을 구동시키지 않는다. 패드(101)로 입력되는 신호는 제2 저항(150)과 제2 전송 게이트(210)를 통하여 내부 아날로그 신호(AY)로 발생된다. 이 때, 제2 전송 게이트(210)의 피모스 트랜지스터(214) 게이트로 노드 NH의 로직 로우레벨이 인가되어 피모스 트랜지스터(214)가 턴온되기 때문에, 패드로 입력되는 로직 하이레벨 신호는 피모스 트랜지스터(214) 문턱 전압(V_{th}) 손실없이 온전히(fully) 내부 아날로그 신호(AY)로 전달된다. 내부 아날로그 신호(AY)는 내부 아날로그 회로 블록(미도시)을 구동한다.

<35> 디지털 입력 모드 시, 아날로그/디지털 제어 신호(SPUENB)의 로직 로우레벨에 응답하여 노드 ND는 로직 하이레벨이 되어 피모스 트랜지스터(224)를 턴오프시킨다. 패드(101)로 입력되는 신호는 제1 저항(102), 제1 전송 게이트(104), 슈미터 트리거(108), 그리고 내부 드라이버부(110)를 통해 내부 디지털 신호(DY)로 발생된다. 로직 하이레벨의 노드 ND에 의해 노드 NE는 로직 로우레벨로, 그리고 노드 NF는 제2 전원 전압(VDD2)으로 레벨 스위프트된 로직 하이레벨로 발생된다. 로직 로우레벨의 노드 NE에 응답하여 제2 엔모스 트랜지스터(246)가 턴오프되고 제2 피모스 트랜지스터(230)가 턴온된다. 노드 NG는 제1 전원 전압(VDD1) 레벨의 로직 하이레벨이 되어 전송 제어부(240)의 피모스 트랜지스터(242)를 턴오프시킨다. 이에 따라 노드 NH는 플로팅되어 이전 상태를 갖는다. 노드 NH의 이전 상태 전압 레벨에 따라 패드(101)로 입력되는 신호 레벨이 제1 전송 게이트(104)를 통과하면서 달라질 수 있는 데, 최악의 경우 노드 NA는 패드(101)로 입력되는 제2 전원 전압(VDD2) 레벨의 로직 하이레벨의 전압 레벨에서 피모스 트랜지스터(106)의 문턱 전압(V_{th}) 만큼 강화된 전압 레벨로 잡힌다.

- <36> 그리고, 패드로 입력되는 신호가 제2 전원 전압(VDD2) 이상의 전압 레벨, 예컨대 5V 정도로 입력되면, 일정 전압 허용부(120)의 제3 피모스 트랜지스터(124)가 턴온되어 웰 바이어스 전압(VFW)은 5V로 잡힌다. 그리고, 전송 제어부(240)의 제1 피모스 트랜지스터(242)가 턴온되어 노드 NH는 거의 5V로 잡힌다. 이에 따라 전송 게이트(104)의 피모스 트랜지스터(106)가 턴오프되고, 패드(101)로 입력되는 5V 전압 레벨의 신호는 엔모스 트랜지스터(105)를 통하여 내부 디지털 신호(DY)로 전달되는 데, 노드 NA는 제2 전원 전압(NDD2)에서 엔모스 트랜지스터(105) 문턱 전압(V_{th}) 만큼 강화된 전압, 즉 $3.3V - V_{th}$ 전압 레벨로 잡힌다. 이는 제2 전원 전압(VDD2) 이상의 레벨이 패드(101)로 입력되면 제2 전원 전압(VDD2) 레벨 정도로 강하시켜 내부 회로 블락으로의 전달을 차단하기 위함으로, 내부 회로의 트랜지스터들을 고전압 스트레스로부터 보호한다.
- <37> 디지털 출력 모드 시, 내부 신호쌍(PUE, PUEB)에 응답하여 결정되는 노드 NA의 로직 레벨이 전송 게이트(104)와 제1 저항(102)을 통하여 패드(101)로 전달된다.
- <38> 따라서, 본 실시예의 입출력 버퍼(200)는 패드(101)로 입력되는 아날로그 신호 또는 디지털 신호를 내부 아날로그 신호(AY)와 내부 디지털 신호(DY)로 발생시키고, 내부 신호쌍(PUE, PUEB)에 응답하여 패드(101)로 디지털 신호를 출력한다.
- <39> 이상에서, 본 발명은 실시예들을 들어 기술하였지만 이는 예시적인 것에 불과하며 본 발명의 기술적 사상 및 범위를 제한하거나 한정하는 것은 아니다. 그러므로, 본 발명의 기술적 사상 및 범위를 벗어나지 않는 한도 내에서 다양한 변화 및 변경이 가능함은 물론이다.

【발명의 효과】

<40> 상술한 본 발명의 입출력 버퍼는 패드로 입력되는 아날로그 신호 또는 디지털 신호를 내부 아날로그 신호와 내부 디지털 신호로 발생시키고, 내부 신호쌍에 응답하여 패드로 디지털 신호를 출력한다.

【특허청구범위】

【청구항 1】

패드;

상기 패드로부터/로 디지털 신호를 전달하는 제1 저항;

상기 제1 저항과 연결되고, 상기 패드로부터/로 상기 디지털 신호를 전송하는 전송 게이트;

상기 패드로 입력되는 상기 디지털 신호의 트리거 레벨을 변화시켜 고속 스위칭하는 슈미터 트리거;

상기 슈미터 트리거의 출력을 내부 디지털 신호로 발생하는 내부 드라이버;

아날로그 /디지털 제어 신호에 응답하여 상기 슈미터 트리거의 출력 레벨을 결정하는 아날로그/디지털 제어부;

상기 패드와 접지 전압 사이에 연결되고, 제1 전원 전압, 제2 전원 전압 그리고 상기 슈미터 트리거의 출력에 응답하여 상기 전송 게이트를 제어하는 전송 제어부;

상기 패드로 입력되는 아날로그 신호를 내부 아날로그 신호로 전달하는 제2 저항; 및

내부 신호에 응답하여 상기 패드로 디지털 출력 신호를 발생하는 외부 드라이버부를 구비하는 것을 특징으로 하는 입출력 버퍼.

【청구항 2】

제1항에 있어서, 상기 입출력 버퍼는

상기 패드와 연결되는 일정 전압 허용부를 더 구비하고,

상기 일정 전압 허용부는

상기 제2 전원 전압과 상기 접지 전압 사이에 직렬 연결되는 제1 및 제2 피모스 트랜지스터를 포함하고, 상기 제1 피모스 트랜지스터의 게이트는 상기 패드와 연결되고, 상기 제2 피모스 트랜지스터의 게이트는 상기 제2 전원 전압에 연결되고, 상기 제1 및 제2 피모스 트랜지스터의 연결점은 웰 바이어스 전압으로 발생하는 것을 특징으로 하는 입출력 버퍼.

【청구항 3】

제2항에 있어서, 상기 전송 제어부는

상기 패드에 그 소스가 연결되고, 그 게이트에 상기 제1 전원 전압이 연결되고, 상기 웰 바이어스 전압이 웰 바이어스로 연결되는 제1 피모스 트랜지스터;

상기 제1 피모스 트랜지스터의 드레인에 그 드레인이 연결되고, 그 게이트에 상기 제2 전원 전압이 연결되는 제1 엔모스 트랜지스터; 및

상기 제1 엔모스 트랜지스터의 소스에 그 드레인이 연결되고, 그 소스에 상기 접지 전압이 연결되고, 그 게이트에 상기 슈미터 트리거 출력이 연결되는 제2 엔모스 트랜지스터를 구비하는 것을 특징으로 하는 입출력 버퍼.

【청구항 4】

제3항에 있어서, 상기 전송 게이트는

상기 제2 저항과 상기 슈미터 트리거 사이에 연결되고, 상기 제2 전원 전압에 게이팅되는 엔모스 트랜지스터; 및

상기 제2 저항과 상기 슈미터 트리거 사이에 연결되고, 상기 제1 피모스 트랜지스터의 드레인에 게이팅되고, 상기 웰 바이어스 전압이 웰 바이어스로 연결되는 피모스 트랜지스터를 구비하는 것을 특징으로 하는 입출력 버퍼.

【청구항 5】

제1항에 있어서, 상기 외부 드라이버부는

상기 제2 전원 전압과 상기 접지 전압 사이에 직렬 연결되는 피모스 트랜지스터와 엔모스 트랜지스터를 구비하고, 그 게이트들이 상기 내부 신호와 상보 내부 신호에 각각 연결되고, 그 드레인들이 상기 전송 게이트와 상기 슈미터 트리거 사이에 연결되는 것을 특징으로 하는 입출력 버퍼.

【청구항 6】

제1항에 있어서, 상기 아날로그/디지털 제어부는

상기 아날로그/디지털 제어 신호를 입력하는 인버터; 및

상기 제2 전원 전압과 상기 슈미터 트리거 출력 사이에 연결되고 상기 인버터의 출력에 게이팅되는 피모스 트랜지스터를 구비하는 것을 특징으로 하는 입출력 버퍼.

【청구항 7】

패드;

상기 패드로부터/로 디지털 신호를 전달하는 제1 저항;

상기 제1 저항과 연결되고, 상기 패드로부터/로 상기 디지털 신호를 전송하는 제1 전송 게이트;

상기 패드로 입력되는 상기 디지털 신호의 트리거 레벨을 변화시켜 고속 스위칭하는 슈미터 트리거;

상기 슈미터 트리거의 출력을 내부 디지털 신호로 발생하는 내부 드라이버;

아날로그/디지털 제어 신호에 응답하여 상기 슈미터 트리거의 출력 레벨을 결정하는 아날로그/디지털 제어부;

상기 패드와 접지 전압 사이에 연결되고 제1 전원 전압, 제2 전원 전압 그리고 상기 아날로그/디지털 제어부의 출력들에 응답하여 상기 전송 게이트를 제어하는 전송 제어부;

상기 패드로 입력되는 아날로그 신호를 전달하는 제2 저항;

상기 아날로그 신호를 내부 아날로그 신호로 전송하는 제2 전송 게이트; 및

내부 신호에 응답하여 상기 패드로 디지털 출력 신호를 발생하는 외부 드라이버부를 구비하는 것을 특징으로 하는 입출력 버퍼.

【청구항 8】

제7항에 있어서, 상기 입출력 버퍼는

상기 패드와 연결되는 일정 전압 허용부를 더 구비하고,

상기 일정 전압 허용부는

상기 제2 전원 전압과 상기 접지 전압 사이에 직렬 연결되는 제1 및 제2 피모스 트랜지스터를 포함하고, 상기 제1 피모스 트랜지스터의 게이트는 상기 패드와 연결되고, 상기 제2 피모스 트랜지스터의 게이트는 상기 제2 전원 전압에 연결되고, 상기 제1 및

제2 피모스 트랜지스터의 연결점이 웰 바이어스 전압으로 발생하는 것을 특징으로 하는
입출력 버퍼.

【청구항 9】

제7항에 있어서, 상기 아날로그/디지털 제어부는

상기 아날로그/디지털 제어 신호를 입력하는 제1 인버터;

상기 제2 전원 전압과 상기 슈미터 트리거 출력 사이에 연결되고 상기 제1 인버터
의 출력에 게이팅되는 제1 피모스 트랜지스터;

상기 제1 인버터의 출력을 입력하여 상기 아날로그/디지털 제어부의 제1 출력을
출력하는 제2 인버터;

상기 제1 인버터의 출력을 레벨 쉬프트시키는 레벨 쉬프터;

상기 제1 전원 전압에 그 소스가 연결되고, 상기 제2 인버터의 출력에 그 게이트
가 연결되는 제2 피모스 트랜지스터; 및

상기 제2 전원 전압에 그 소스가 연결되고, 상기 아날로그/디지털 제어부의 제2 출
력인 상기 제2 피모스 트랜지스터의 드레인에 그 드레인이 연결되고, 상기 레벨 쉬프터
출력에 그 게이트가 연결되는 제3 피모스 트랜지스터를 구비하는 것을 특징으로 하는 입
출력 버퍼.

【청구항 10】

제8항 및 제9항에 있어서, 상기 전송 제어부는

상기 패드에 그 소스가 연결되고, 상기 아날로그/디지털 제어부의 제2 출력이 그 게이트에 연결되고, 상기 웰 바이어스 전압이 웰 바이어스로 연결되는 제1 피모스 트랜지스터;

상기 제1 피모스 트랜지스터의 드레인에 그 드레인이 연결되고, 그 게이트에 상기 제2 전원 전압이 연결되는 제1 엔모스 트랜지스터; 및

상기 제1 엔모스 트랜지스터의 소스에 그 드레인이 연결되고, 그 소스에 접지 전압이 연결되고, 그 게이트에 상기 아날로그/디지털 제어부의 제2 출력이 연결되는 제2 엔모스 트랜지스터를 구비하는 것을 특징으로 하는 입출력 버퍼.

【청구항 11】

제10항에 있어서, 상기 제1 전송 게이트는

상기 제1 저항과 상기 슈미터 트리거 사이에 연결되고, 상기 제2 전원 전압에 게이팅되는 엔모스 트랜지스터; 및

상기 제1 저항과 상기 슈미터 트리거 사이에 연결되고, 상기 전송 제어부의 상기 제1 피모스 트랜지스터의 드레인에 게이팅되고, 상기 웰 바이어스 전압이 웰 바이어스로 연결되는 피모스 트랜지스터를 구비하는 것을 특징으로 하는 입출력 버퍼.

【청구항 12】

제10항에 있어서, 상기 제2 전송 게이트는

상기 제2 저항과 상기 내부 아날로그 신호 노드 사이에 연결되고, 상기 제2 전원 전압에 게이팅되는 엔모스 트랜지스터; 및

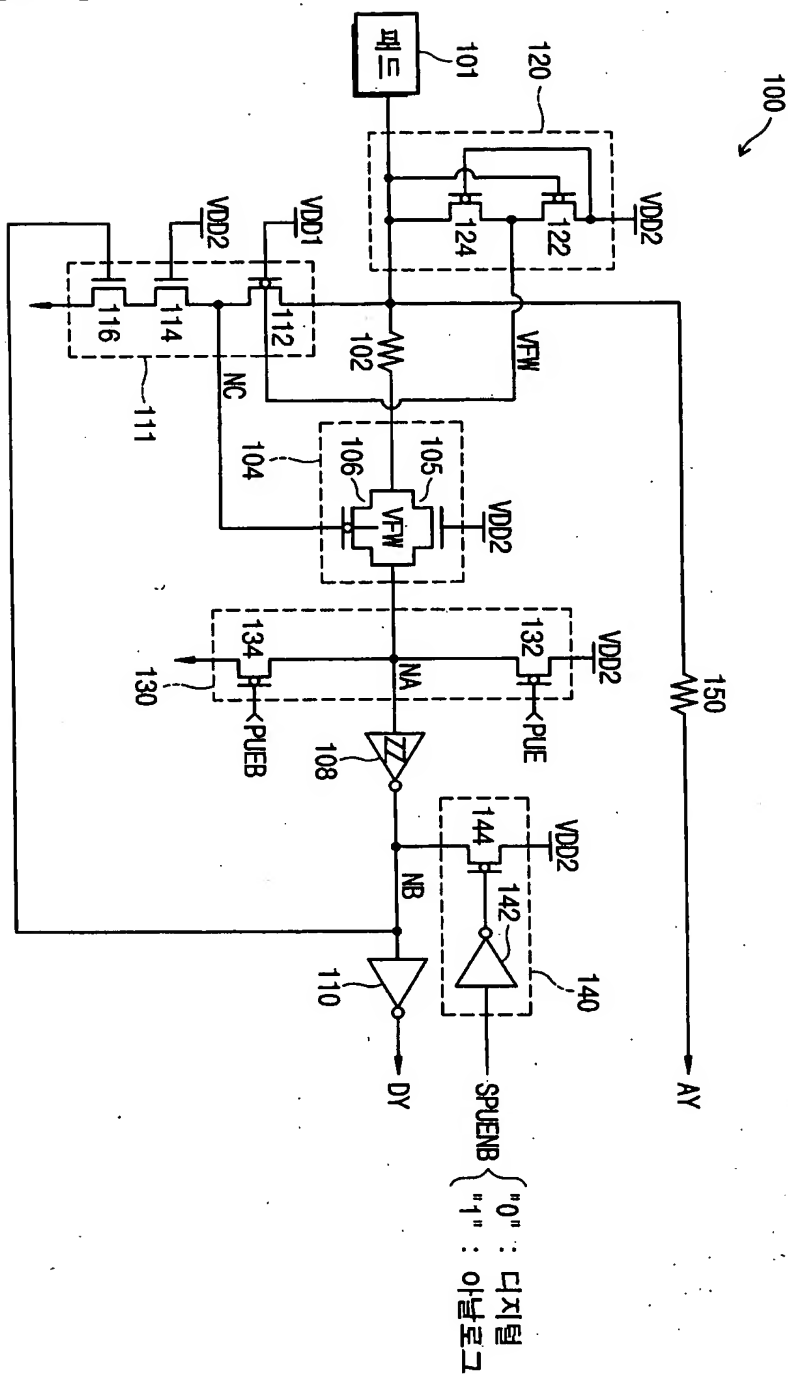
상기 제2 저항과 상기 내부 아날로그 신호 노드 사이에 연결되고, 상기 전송 제어부의 상기 제1 피모스 트랜지스터의 드레인에 게이팅되고, 상기 웰 바이어스 전압이 웰 바이어스로 연결되는 피모스 트랜지스터를 구비하는 것을 특징으로 하는 입출력 버퍼

【청구항 13】

제7항에 있어서, 상기 외부 드라이버부는

상기 제2 전원 전압과 상기 접지 전압 사이에 직렬 연결되는 피모스 트랜지스터와 엔모스 트랜지스터를 구비하고, 그 게이트들이 상기 내부 신호와 상보 내부 신호에 각각 연결되고, 그 드레인들이 상기 전송 게이트와 상기 슈미터 트리거 사이에 연결되는 것을 특징으로 하는 입출력 버퍼.

【도 1】



【도 2】

